

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-266252

(43)Date of publication of application : 07.10.1997

(51)Int.Cl.

H01L 21/768
H01L 21/28

(21)Application number : 08-074697

(71)Applicant : NEC CORP

(22)Date of filing : 28.03.1996

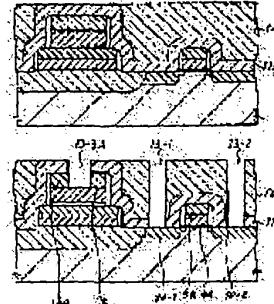
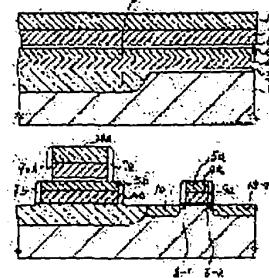
(72)Inventor : MORISHITA YASUYUKI

(54) SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To accurately form contact holes different in depth by covering a second conductive layer pattern for shallow contact holes with a first insulation film having a low etching rate, then depositing a second insulation layer having a high etching rate on the entire surface and making it flat.

SOLUTION: A first conductive layer pattern composed of a WSix 5a and poly-Si film 4a and second conductive layer pattern which is higher from a semiconductor substrate 1 than the first pattern and covered with a silicon nitride film 14 (14a) are formed on the substrate 1. After depositing a CVD Si oxide film 11a having a higher etching rate than the film 14 on the entire surface, it is made flat. Using an etching means, first contact holes 31-1, 13-2 and second contact holes 13-3A reaching the first and second patterns from the surface of the CVD film 11a are formed at the same time.



LEGAL STATUS

[Date of request for examination] 28.03.1996

[Date of sending the examiner's decision of rejection] 16.06.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-266252

(43)公開日 平成9年(1997)10月7日

(51)Int.Cl.⁶
H 01 L 21/768
21/28

識別記号

庁内整理番号

F I
H 01 L 21/90
21/28

技術表示箇所
A
L

審査請求 有 請求項の数4 OL (全5頁)

(21)出願番号 特願平8-74697

(22)出願日 平成8年(1996)3月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 森下 泰之

東京都港区芝五丁目7番1号 日本電気株
式会社内

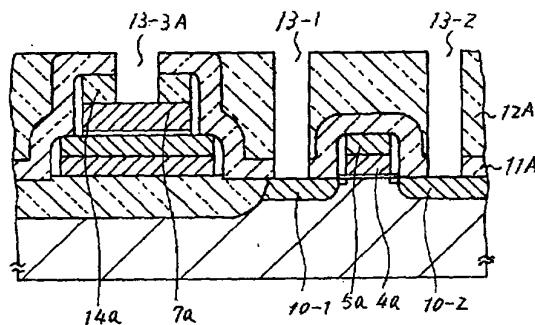
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】深さの異なるコンタクト孔を開口する半導体装置の製造方法において、エッチング残さがコンタクト孔の側面に付着するのを防ぐとともに、開口後のコンタクト径の精度を高くして歩留まり、信頼性を向上させること。

【解決手段】浅いコンタクト孔13-3Aを開口する導電層(7a)上のみに、エッチングレートの低い絶縁膜14aを残すことにより、深いコンタクト孔13-1に對して、浅いコンタクト孔のオーバーエッチが低減される。



【特許請求の範囲】

【請求項1】 半導体基板上に第1の導電層パターン及びこれより前記半導体基板表面からみた高さが大きく表面を第1の絶縁膜で覆われた第2の導電層パターンを形成する工程と、所定のエッチング手段に対して前記第1の絶縁膜よりエッティングレートの大きい第2の絶縁膜を全面に堆積したのち平坦化処理を行なう工程と、前記エッティング手段により第2の絶縁膜表面から第1の導電層パターン及び第2の導電層パターンにそれぞれ達する第1のコンタクト孔及び第2のコンタクト孔を同時に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 第1の絶縁膜が窒化シリコン膜、第2の絶縁膜が酸化シリコン系絶縁膜である請求項1記載の半導体装置の製造方法。

【請求項3】 酸化シリコン系絶縁膜がBPSG膜である請求項2記載の半導体装置の製造方法。

【請求項4】 酸化シリコン系絶縁膜がCVD酸化シリコン膜及びBPSG膜の積層膜である請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に深さの異なる複数のコンタクト孔を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 図4(a)～(d)は、従来の深さの異なる複数のコンタクト孔を有する半導体装置の製造方法の一例として、MOSトランジスタと容量素子が混載された半導体装置の製造方法について説明するための工程順断面図である。

【0003】 まず、図4(a)に示すように、例えばP型シリコン基板1の表面に絶縁分離用のフィールド絶縁膜2を形成して活性領域を区画し、活性領域の表面にゲート酸化膜3を形成する。次に、ポリシリコン膜4及びWSi_x(x=2)膜5を順次に堆積し、容量酸化膜6を形成しWSi_x膜7を形成する。次に、フォトリソグラフィー法により、WSi_x膜7及び容量酸化膜6をバーニングして、図4(b)に示すように、容量素子形成箇所(ここでは、フィールド絶縁膜上の所望の箇所)上にWSi_x膜7aなる容量上部電極を形成する。再びフォトリソグラフィー法によりWSi_x膜5及びポリシリコン膜4をバーニングして活性領域を横断するゲート電極(WSi_x膜5a及びポリシリコン膜4aである)及び容量下部電極(WSi_x膜5b及びポリシリコン膜4bである)を形成する。次に、イオン注入を利用して、ゲート電極(5a/4a)と自己整合的にN⁺型ソース・ドレイン領域8-1, 8-2を形成し、酸化シリコン膜を堆積し異方性エッティングを行なってスペーサ9a, 9b, 9cを形成する。次に、再びイオン注入を

利用して、スペーサ9aと自己整合的にN⁺型ソース・ドレイン領域10-1, 10-2を形成する。こうしてMOSトランジスタと容量素子とが形成される。

【0004】 次に図4(c)に示すように、CVD酸化シリコン膜11を堆積し、図4(d)に示すように、BPSG膜12を形成した後CMP法により平坦化処理を行ない、所望の箇所のBPSG膜12およびCVD酸化シリコン膜11をドライエッティングしてコンタクト孔13-1, 13-2, 13-3を開口する。微細なコンタクト孔を開口するには、BPSG膜11を平坦化しなければならないため、複数の深さの異なるコンタクト孔の開口が必要となる。

【0005】

【発明が解決しようとする課題】 従来の複数のコンタクト孔を有する半導体装置では、微細なコンタクト孔を開口するために層間絶縁膜の平坦化を行うと、拡散層上などに比べて凸部となる容量上部電極およびゲート電極上などでは、絶縁膜が拡散層上に比べて薄くなりコンタクト孔が浅くなるため、反応性イオンエッティングで同時に

20 コンタクト孔を開口するとき、図4(d)の13-3のように、浅いコンタクト孔部では、オーバーエッチとなりコンタクト孔側面に導電性の付着物が残り易く、歩留まり、信頼性が低下するという問題があった。また、オーバーエッチによりコンタクト孔の径が大きくなり微細化に向かない。

【0006】 特開平4-106929号公報にはセルフアラインコンタクトの形成方法としてMOSトランジスタ形成後に100nm程度の窒化シリコン膜を堆積してから1μm程度のPSG膜を堆積することにより、コンタクトホール部にゲート電極が露出して短格不良を発生するのを防止する技術が開示されている。便宜上、図4を借りて説明する。CVD酸化シリコン膜11の代りに100nmの窒化シリコン膜を堆積し、BPSG膜12の代りに厚さ1μmのPSG膜を堆積する。次に、N⁺型ソース・ドレイン領域10-1からゲート電極(ここでは、WSi_x膜5aの代りにSiO₂膜が形成されているものとする)上方にかけてコンタクト孔を形成するのであるが、まずPSG膜をエッティングし窒化シリコン膜をこのときのエッティング阻止層として使用する。次に、窒化シリコン膜をエッティングする。これによりゲート電極がコンタクト孔部に露出するのを防止するのである。

【0007】 この手法を複数の深さの異なるコンタクト孔を同時に形成する場合に適用すると、例えば、CVD酸化シリコン膜11の代りに窒化シリコン膜を堆積するか若しくは窒化シリコン膜を堆積してからCVD酸化シリコン膜を堆積することになる。深いコンタクト孔(13-1, 13-2)と浅いコンタクト孔13-3をそれぞれ形成する部分でBPSG膜12の厚さの差が大きいこと、BPSG膜と窒化シリコン膜とではエッティングレ

ートにそれほど差がつかないことにより、窒化シリコン膜のエッティング阻止層としての機能が浅いコンタクト孔の形成に対して十分ではなくオーバエッチの防止は困難である。

【0008】本発明の目的は、複数の深さの異なるコンタクト孔を精度よく形成でき歩留り及び信頼性を一層向上できる半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上に第1の導電層パターン及びこれより前記半導体基板表面からみた高さが大きく表面を第1の絶縁膜で覆われた第2の導電層パターンを形成する工程と、所定のエッティング手段に対して前記第1の絶縁膜よりエッティングレートの大きい第2の絶縁膜を全面に堆積したのち平坦化処理を行なう工程と、前記エッティング手段により第2の絶縁膜表面から第1の導電層パターン及び第2の導電層パターンにそれぞれ達する第1のコンタクト孔及び第2のコンタクト孔を同時に形成する工程とを有するというものである。

【0010】この場合、第1の絶縁膜を窒化シリコン膜、第2の絶縁膜を酸化シリコン系絶縁膜とすることでき、更に酸化シリコン系絶縁膜をBPSG膜もしくはCVD酸化シリコン膜とBPSG膜と積層膜とすることができる。

【0011】第1の導電層パターン及び第2の導電層パターン上の絶縁膜をエッティングするのに必要な最小限の時間差を少なくできる。

【0012】

【発明の実施の形態】次に、本発明の第1の実施の形態について説明する。これは、MOSトランジスタと容量素子が混載された半導体装置の製造方法に本発明を適用した例である。

【0013】まず、図1(a)に示すように、例えばP型シリコン基板1の表面に絶縁分離用のフィールド絶縁膜2を形成して活性領域を区画し、活性領域の表面にゲート酸化膜3を形成する。次に、ポリシリコン膜4(厚さ約150nm)及びWSi_x(x=2)膜5(厚さ約150nm)を順次に堆積し、容量酸化膜6として例えば減圧CVD法を用いて約40nmの酸化シリコン膜を形成しWSi_x膜7(厚さ約200nm)を形成する。次に、窒化シリコン膜14を約200nm成長しフォトリソグラフィー法により、窒化シリコン膜14、WSi_x膜7及び容量酸化膜6をバーニングして、図1(b)に示すように、容量素子形成箇所(ここではフィールド絶縁膜上の所望の箇所)上にWSi_x膜7aとなる容量上部電極(表面を窒化シリコン膜14aで覆われた第2の導電層パターン)を形成する。再びフォトリソグラフィー法によりWSi_x膜5及びポリシリコン膜4をバーニングして活性領域を横断するゲート電極(WSi_x膜5a及びポリシリコン膜4a)となる第1の導電

層パターン)及び容量下部電極(WSi_x膜5b及びポリシリコン膜4bでなる)を形成する。次に、イオン注入を利用して、ゲート電極(5a/4a)と自己整合的にN⁻型ソース・ドレイン領域8-1, 8-2を形成し、酸化シリコン膜を堆積し異方性エッティングを行なってスペーサ9a, 9b, 9c Aを形成する。次に、再びイオン注入を利用してスペーサ9aと自己整合的にN⁺型ソース・ドレイン領域10-1, 10-2を形成する。こうしてMOSトランジスタと容量素子とが形成される。

【0014】次に、図1(c)に示すように、全面にCVD法により酸化シリコン膜(CVD酸化シリコン膜11A)を約250nm、BPSG膜12A(B含有率10.5mol%、リン含有率4.5mol%)を約1400nm成長し、CMP法によりN⁺型ソース・ドレイン領域10-1, 10-2上で絶縁膜厚が約100nmになるまで研磨して平坦化する。次に、コンタクト孔を形成するためのマスクとなる図示しないフォトレジスト膜を形成し、Ar, CF₄及びCHF₃を20:1:3の比で混合したガスを用いた反応性イオンエッティングを行なうことにより、図2に示すように、N⁺型拡散層及び容量上部電極(7a)にそれぞれ達する第1のコンタクト孔13-1, 13-2及び第2のコンタクト孔13-3Aを形成する。エッティングレートはBPSG膜12A, CVD酸化シリコン膜11A及び窒化シリコン膜14aに対して4:3:1となるので第1のコンタクト孔13-1, 13-2と第2のコンタクト孔13-3Aとを形成するのに必要最小限の時間がほぼ同じになる。従って第2のコンタクト孔のオーバエッチを10%以下に抑えられ(窒化シリコン膜14aを設けないときは約100%)、コンタクト孔へのエッティング残さの付着を防ぐことができ、0.36μm径のコンタクト孔を精度よく開口でき、歩留りおよび信頼性を向上させることができた。なお、コンタクト孔形成工程までを説明したが、この後に配線層の形成等を行なうことはいうまでもない。

【0015】次に、本発明の第2の実施の形態について説明する。

【0016】第1の実施の形態ではWSi_x膜7を形成し窒化シリコン膜14を堆積した後容量上部電極を形成するためのバーニングを行なったが、本実施の形態ではWSi_x膜を形成してバーニングを行なって容量上部電極を形成した後に窒化シリコン膜を堆積し、ゲート電極及び容量下部電極を形成するためのバーニングを行なう。そうすると、図3に示すように、容量上部電極(7a)の表面及び側面を窒化シリコン膜13Aで覆うだけでなくゲート電極(5a/4a)の表面にも窒化シリコン膜14Abで覆うことができる。窒化シリコン膜の厚さを例えば100nmとし、他の条件は第1の実施の形態と同じにすると、N⁺型ソース・ドレイン領域

に達する第1のコンタクト孔13-1とゲート電極の表面に達する第3のコンタクト孔13-4を形成するのに必要最小限の時間をほぼ同じにすることができる。容量素子上にはBPSG膜12Bが約150nm残るが、第2のコンタクト孔13-3Bを形成するのに必要最小限の時間はやや少なくなるので容量上部電極7aは若干オーバエッチされるが窒化シリコン膜14Aaを設けない場合の4割程度ですむ。

【0017】以上、導電層パターンを被覆する層間絶縁膜がCVD酸化シリコン膜とBPSG膜の2層の場合について説明したが、これは単層でも3層以上でもよい。高い方の導電層をエッティングレートの小さい第1の絶縁膜で被覆してコンタクト孔の深さの違いによるエッティングに必要な最小限の時間差を小さくすればよいのである。層間絶縁膜（第2の絶縁膜）として酸化シリコン膜、PSG膜、BSG膜、BPSG膜などの酸化シリコンを主成分とする酸化シリコン系絶縁膜とし、エッティング時間調整用の第1の絶縁膜を窒化シリコン膜とすることはできる。エッティング用のガスも上述のものに限らず、このような絶縁膜のエッティングに使用されるもので、第1の絶縁膜より第2の絶縁膜を速くエッティングできればよい。

【0018】

【発明の効果】以上説明したように本発明は深さの異なる第1、第2のコンタクト孔を形成するに当たり、浅い方の第2のコンタクト孔を設ける個所の第2の導電層パターン上にエッティングレートの小さい第1の絶縁膜で被覆したのちエッティングレートの大きい第2の絶縁膜を全面に堆積し平坦化処理を行なってエッティングに必要な最小

*限の時間を調整することにより第2の導電層パターンのオーバエッチを容易に抑ることができるのでオーバエッチによるエッティング残さの付着を防ぐことができ微細なコンタクト孔を精度よく開口でき、半導体装置の歩留り及び信頼性を一層向上できる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態について説明するための(a)～(c)に分図して示す工程順断面図。

【図2】図1に統いて示す断面図。

10 【図3】本発明の第2の実施の形態について説明するための断面図。

【図4】従来の技術について説明するための(a)～(d)に分図して示す工程順断面図。

【符号の説明】

1 P型シリコン基板

2 フィールド絶縁膜

3 ゲート酸化膜

4, 4a ポリシリコン膜

5, 5a WSi_x膜

20 6 容量酸化膜

7 WSi_x膜

8-1, 8-2 N⁻型ソース・ドレイン領域

9a, 9b, 9bA, 9c, 9cA スペーサ

10-1, 10-2 N⁺型ソース・ドレイン領域

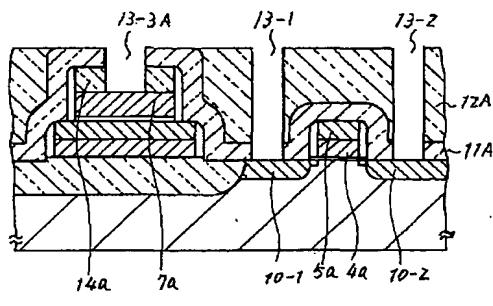
11, 11A, 11B CVD酸化シリコン膜

12, 12A, 12B BPSG膜

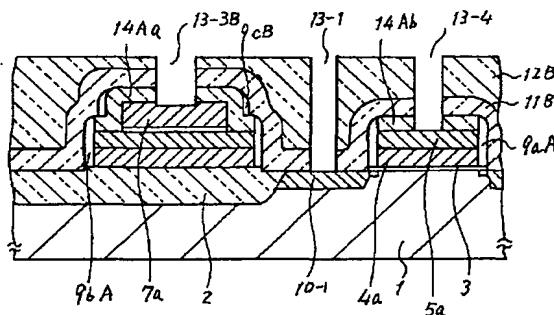
13-1, 13-2, 13-3, 13-3A, 13-3B, 13-4 コンタクト孔

14, 14a, 14Aa, 14Ab 窒化シリコン膜

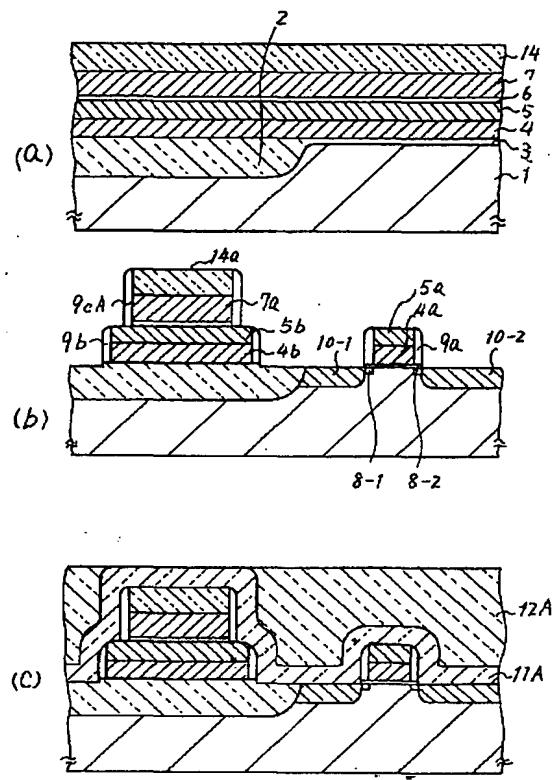
【図2】



【図3】



【図1】



【図4】

